

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-197894

(43)公開日 平成10年(1998) 7月31日

(51)Int.Cl.⁶

G 0 2 F 1/136

1/133

G 0 9 G 3/36

識別記号

5 0 0

5 5 0

F I

G 0 2 F 1/136

1/133

G 0 9 G 3/36

5 0 0

5 5 0

審査請求 未請求 請求項の数 8 F D (全 13 頁)

(21)出願番号

特願平8-357947

(22)出願日

平成 8 年(1996)12月28日

(71)出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町 1 丁目 6 番 2 号

(72)発明者 両澤 克彦

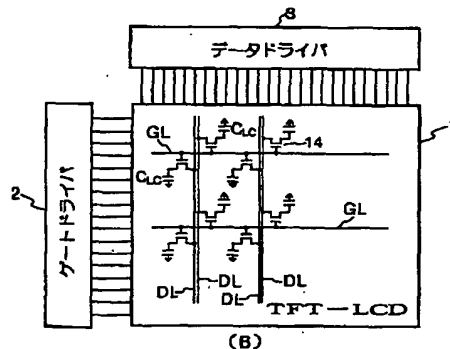
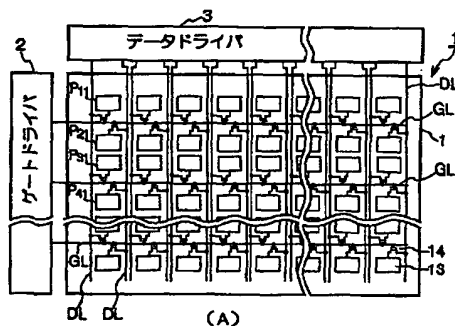
東京都八王子市石川町2951番地の 5 カシ
オ計算機株式会社八王子研究所内

(54)【発明の名称】 液晶表示装置及び液晶表示装置の駆動方法

(57)【要約】

【課題】 開口率が高く且つ各画素への書き込み時間を十分に確保できる液晶表示装置及びその駆動方法を提供することである。

【解決手段】 マトリクス状に配置した画素の 2 行に 1 本ずつゲートライン GL を配置し、1 本のゲートライン GL の選択により、2 行の画素の画素容量 C_{LC} が選択されるように TFT 14 を接続する。各列の奇数行の TFT 14 と偶数行の TFT 14 を別々のデータライン DL に接続する。ゲートライン GL を選択することにより、2 行の画素容量 C_{LC} を選択し、これらに別々のデータライン DL からデータ信号を印加することにより、書き込み時間を通常の 2 倍とする。さらに、1 フレームを 2 つのフィールドに分割し、対応する画素容量 C_{LC} にデータ信号を書き込むことにより、フリッカの周波数を低下させることなく、書き込み期間をさらに 2 倍にすることができる。



【特許請求の範囲】

【請求項1】対向して配置された第1と第2の基板と、前記第1の基板の前記第2の基板との対向面にマトリクス状に配置された画素電極と該画素電極に電流路の一端が接続された薄膜トランジスタとの対と、

前記第1の基板の前記対向面に配置され、前記マトリクスのM行（Mは2以上の自然数）に1本配置され、それぞれ対応するM行の前記薄膜トランジスタのゲートに接続されたゲートラインと、

前記第1の基板の対向面に、前記画素電極のマトリクスの1列にM本ずつ配置され、同一の前記ゲートラインに接続された各列の前記薄膜トランジスタの1つの電流路の他端に接続されたデータラインと、

前記画素電極に対向して前記第2の基板の前記第1の基板との対向面に配置された共通電極と、

前記第1の基板と前記第2の基板との間に封止された液晶と、

を備えることを特徴とする液晶表示装置。

【請求項2】前記ゲートラインに接続され、複数の前記ゲートラインに1本ずつ順次ゲートパルスを加することによりM行の前記薄膜トランジスタを順次オンするゲートドライバと、

前記データラインに接続され、前記データラインとオンした前記薄膜トランジスタを介してM行の前記画素電極に同時に表示画像に対応するデータ信号を加するデータドライバと、

をさらに備えることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】前記ゲートラインに接続され、各フィールドにおいて、N（Nは2以上の自然数）本おきに前記ゲートラインを選択し、前記フィールド毎に選択するゲートラインを変化させ、Nフィールドで全ゲートラインを選択するゲートドライバと、

前記データラインに接続され、前記ゲートドライバにより選択された行の画素の表示画像に対応するデータ信号を、前記データラインとオンした前記薄膜トランジスタを介してM行の前記画素電極に同時に印加し、Nフィールドで全画素電極に前記データ信号を加するデータドライバと、

を備え、Nフィールドにより1画面を書き込むことを特徴とする請求項1に記載の液晶表示装置。

【請求項4】前記データドライバは、同時に選択されたM行の前記画素電極の隣接する各2行の前記画素電極に逆の極性を有する前記データ信号を加することを特徴とする請求項2又は3に記載の液晶表示装置。

【請求項5】前記データドライバは、各前記画素電極に印加する前記データ信号の極性を1フレーム毎に反転させる、

ことを特徴とする請求項2又は3に記載の液晶表示装

置。

【請求項6】対向して配置された第1と第2の基板と、前記第1の基板の前記第2の基板との対向面にマトリクス状に配置された画素電極と該画素電極に電流路の一端が接続された薄膜トランジスタとの対と、

前記第1の基板の前記対向面に配置され、前記マトリクスのM行（Mは2以上の自然数）に1本配置され、それぞれ対応するM行の前記薄膜トランジスタのゲートに接続されたゲートラインと、

10 前記第1の基板の対向面に、前記画素電極のマトリクスの1列にM本ずつ配置され、同一の前記ゲートラインに接続された各列の前記薄膜トランジスタの1つの電流路の他端に接続されたデータラインと、

前記画素電極に対向して前記第2の基板の前記第1の基板との対向面に配置された共通電極と、

前記第1の基板と前記第2の基板との間に封止された液晶と、

前記ゲートラインに接続され、各フィールドにおいて、N（Nは偶数）本おきに前記ゲートラインを選択し、前記フィールド毎に選択するゲートラインを変化させ、Nフィールドで全ゲートラインを選択するゲートドライバと、

30 前記データラインに接続され、前記ゲートドライバにより選択された行の画素の表示画像に対応するデータ信号を、前記データラインとオンした前記薄膜トランジスタを介してM行の前記画素電極に同時に印加し、Nフィールドで全画素電極に前記データ信号を加すると共に同時に選択されたM行の前記画素電極の隣接する各2行の前記画素電極に逆の極性を有する前記データ信号を加するデータドライバと、

を備えることを特徴とする液晶表示装置。

【請求項7】対向して配置された第1と第2の基板と、前記第1の基板の前記第2の基板との対向面にマトリクス状に配置された画素電極と該画素電極に電流路の一端が接続された薄膜トランジスタとの対と、

前記第1の基板の前記対向面に配置され、前記マトリクスのM行（Mは2以上の自然数）に1本配置され、それぞれ対応するM行の前記薄膜トランジスタのゲートに接続されたゲートラインと、

40 前記第1の基板の対向面に、前記画素電極のマトリクスの1列にM本ずつ配置され、同一の前記ゲートラインに接続された各列の前記薄膜トランジスタの1つの電流路の他端に接続されたデータラインと、

前記画素電極に対向して前記第2の基板の前記第1の基板との対向面に配置された共通電極と、

前記第1の基板と前記第2の基板との間に封止された液晶と、

を備える液晶表示装置の駆動方法であって、

50 複数の前記ゲートラインに1本ずつ順次ゲートパルスを加することによりM行の前記薄膜トランジスタを順次

オンし、
前記データラインとオンした前記薄膜トランジスタを介してM行の前記画素電極に同時に表示画像に対応するデータ信号を印加する、
ことを特徴とする液晶表示装置の駆動方法。

【請求項8】対向して配置された第1と第2の基板と、
前記第1の基板の前記第2の基板との対向面にマトリクス状に配置された画素電極と該画素電極に電流路の一端が接続された薄膜トランジスタとの対と、
前記第1の基板の前記対向面に配置され、前記マトリクスのM行（Mは2以上の自然数）に1本配置され、それぞれ対応するM行の前記薄膜トランジスタのゲートに接続されたゲートラインと、
前記第1の基板の対向面に、前記画素電極のマトリクスの1列にM本ずつ配置され、同一の前記ゲートラインに接続された各列の前記薄膜トランジスタの1つの電流路の他端に接続されたデータラインと、
前記画素電極に対向して前記第2の基板の前記第1の基板との対向面に配置された共通電極と、
前記第1の基板と前記第2の基板との間に封止された液晶と、
を備える液晶表示装置の駆動方法であって、
前記ゲートラインに接続され、各フィールドにおいて、N（Nは2以上の自然数）本おきに前記ゲートラインを選択し、前記フィールド毎に選択するゲートラインを変化させてNフィールドで全ゲートラインを選択し、ゲートドライバにより選択された行の画素の表示画像に対応するデータ信号を、前記データラインとオンした前記薄膜トランジスタを介してM行の前記画素電極に同時に印加し、
Nフィールドにより1画面を書き込むことを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置及び液晶表示装置の駆動方法に関する。

【0002】

【従来の技術】TFT（薄膜トランジスタ）液晶表示装置（以下、TFT-LCD）は、図12に示すように、ゲートライン及びデータラインがマトリクス状に配置され、ゲートラインとデータラインの各交点に対応して各TFT及び各画素電極が配置されている。

【0003】この構成のTFT-LCDは、ゲートラインを逐次選択してTFTをオンし、各データラインとオンしたTFTを介して各画素に画像データを書き込むことにより、表示を行う。

【0004】このような液晶表示装置では、その大型化及び高解像度化に伴い、各ゲートラインの選択期間が短くなる傾向にある。このため、従来の構成では、各画素に十分な画像データを書き込むために必要な時間を確保

できなくなることがある。また、広視野角で高速応答が可能な液晶表示素子として強誘電性液晶、反強誘電性液晶等を用いた液晶表示素子が注目されている。しかし、これらの液晶は誘電率が高く、よって各画素の容量が大きく、従来の構成では、各画素に十分な書き込みを行うことが困難である。

【0005】これらの問題を解決するため、複数のゲートラインを同時に選択することにより、各画素の選択期間を長くする駆動方法が提案されている。このような駆動を可能とするTFT-LCDの構成例を図13に示す。図13の構成では、各列に2本のデータラインが配置され、奇数行のTFTに一方のデータラインが、偶数行のTFTに他方のデータラインが接続されている。この方法によれば、奇数行と偶数行のゲートラインを同時に選択し、各データラインを介して各画素に同時にデータを書き込む。従って、フレーム周波数を変更することなく、ゲートラインを1本ずつ選択する場合に比べ、選択時間（＝書き込み時間）を2倍にすることができる。

【0006】また、書き込み時間を長くするための他の方法として、フレーム周波数を下げることが考えられる。しかし、単純にフレーム周波数を下げただけではフリッカが目立ち、表示品質が低下する等の問題が発生する。フリッカを目立たなくさせると共に書き込み時間を長くできる駆動方法として、MFD（Multi-Field Driving）法が知られている。

【0007】この駆動方法は、1画面を $2N+1$ （Nは自然数）個のフィールドに分割し、各フィールドで1画面の $1/(2N+1)$ を書き込む。この方法により液晶表示素子を駆動すれば、MFD法を用いないときに比べ、フレーム周波数を $1/(2N+1)$ に低減しながらも、フリッカを目立たない範囲に抑えることができる。

【0008】

【発明が解決しようとする課題】しかしながら、複数のゲートラインを同時に選択する方法では、図13に示すように、データラインの本数も増加する。従って、データラインの増加分だけ、画素の有効表示面積（開口率）が低下し、表示が暗くなる等、表示品質が低下するという問題がある。

【0009】また、TFT-LCDをMFD法を用いて駆動する場合、1画面をフィールドに分割する際に奇数個にしか分割できないという問題がある。これは、偶数分割をした場合、フレーム周波数が低下した分だけフリッカの周波数も低下し、表示品質が低下するためである。このため、周辺回路を含む液晶表示装置の設計の自由度が制限されるという問題がある。

【0010】この発明は、上記実状に鑑みてなされたもので、各画素の選択期間を長くすることができ、且つ、高品質の画像を表示することができる液晶表示装置及び液晶表示装置の駆動方法を提供することを目的とする。
また、この発明は、複数のゲートラインの同時選択によ

る画素の開口率の低下を抑えることができる液晶表示装置及び液晶表示装置の駆動方法を提供することを目的とする。また、この発明は、偶数本のゲートラインを同時に選択するMFD法とそれを可能とする液晶表示装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するため、この発明の第1の観点に係る液晶表示装置は、対向して配置された第1と第2の基板と、前記第1の基板の前記第2の基板との対向面にマトリクス状に配置された画素電極と該画素電極に電流路の一端が接続された薄膜トランジスタとの対と、前記第1の基板の前記対向面に配置され、前記マトリクスのM行（Mは2以上の自然数）に1本配置され、それぞれ対応するM行の前記薄膜トランジスタのゲートに接続されたゲートラインと、前記第1の基板の対向面に、前記画素電極のマトリクスの1列にM本ずつ配置され、同一の前記ゲートラインに接続された各列の前記薄膜トランジスタの1つの電流路の他端に接続されたデータラインと、前記画素電極に対向して前記第2の基板の前記第1の基板との対向面に配置された共通電極と、前記第1の基板と前記第2の基板との間に封止された液晶と、を備えることを特徴とする。

【0012】この構成によれば、例えば、M=2の場合、ゲートラインは、例えば、画素電極及び薄膜トランジスタの第1行目と第2行目に1本、第3行目と第4行目に1本・・・というように、2行に1本ずつ配置される。そして、1本のゲートラインの選択で2行の画素を同時に選択できる。従って、各行に配列されたゲートラインをM本同時に選択する構成に比較して、ゲートラインの本数を減らすことができ、開口率の低下を抑えることができる。

【0013】前記ゲートラインに接続され、複数の前記ゲートラインに1本ずつ順次ゲートパルスを加えることによりM行の前記薄膜トランジスタを順次オンするゲートドライバと、前記データラインに接続され、前記データラインとオンした前記薄膜トランジスタを介してM行の前記画素電極に同時に表示画像に対応するデータ信号を加えるデータドライバとを配置してもよい。

【0014】また、前記ゲートラインに接続され、各フィールドにおいて、N（Nは2以上の自然数）本おきに前記ゲートラインを選択し、前記フィールド毎に選択するゲートラインを変化させ、Nフィールドで全ゲートラインを選択するゲートドライバと、前記データラインに接続され、前記ゲートドライバにより選択された行の画素の表示画像に対応するデータ信号を、前記データラインとオンした前記薄膜トランジスタを介してM行の前記画素電極に同時に印加し、Nフィールドで全画素電極に前記データ信号を加えるデータドライバと、を配置し、Nフィールドにより1画面を書き込むようにしてもよい。

【0015】前記データドライバは、同時に選択されたM行の前記画素電極の隣接する各2行の前記画素電極に逆の極性を有する前記データ信号を加えることが望ましい。この構成によれば、隣接する各行の画素に逆極性の信号が印加されるので、極性の差による輝度の差が平均化される。従って、フリッカが低減する。特に、N本おきにゲートラインを選択する場合に、Nが偶数の場合でも、フリッカの周波数が低下せず、高品質の画像を表示することができる。

10 【0016】前記データドライバは、各前記画素電極に印加する前記データ信号の極性を1フレーム毎に反転させることが望ましい。

【0017】また、この発明の第2の観点にかかる液晶表示装置は、対向して配置された第1と第2の基板と、前記第1の基板の前記第2の基板との対向面にマトリクス状に配置された画素電極と該画素電極に電流路の一端が接続された薄膜トランジスタとの対と、前記第1の基板の前記対向面に配置され、前記マトリクスのM行（Mは2以上の自然数）に1本配置され、それぞれ対応するM行の前記薄膜トランジスタのゲートに接続されたゲートラインと、前記第1の基板の対向面に、前記画素電極のマトリクスの1列にM本ずつ配置され、同一の前記ゲートラインに接続された各列の前記薄膜トランジスタの1つの電流路の他端に接続されたデータラインと、前記画素電極に対向して前記第2の基板の前記第1の基板との対向面に配置された共通電極と、前記第1の基板と前記第2の基板との間に封止された液晶と、前記ゲートラインに接続され、各フィールドにおいて、N（Nは偶数）本おきに前記ゲートラインを選択し、前記フィールド毎に選択するゲートラインを変化させ、Nフィールドで全ゲートラインを選択するゲートドライバと、前記データラインに接続され、前記ゲートドライバにより選択された行の画素の表示画像に対応するデータ信号を、前記データラインとオンした前記薄膜トランジスタを介してM行の前記画素電極に同時に印加し、Nフィールドで全画素電極に前記データ信号を加えると共に同時に選択されたM行の前記画素電極の隣接する各2行の前記画素電極に逆の極性を有する前記データ信号を加えるデータドライバと、を備えることを特徴とする。

40 【0018】この構成によれば、1本のゲートラインの選択でM行の画素を同時に選択できる。従って、各行に配列されたゲートラインをM本同時に選択する構成に比較して、ゲートラインの本数を減らすことができ、開口率の低下を抑えることができる。また、隣接する各行の画素に逆極性の信号が印加されるので、極性の差による輝度の差が平均化され、Nが偶数の場合でも、フリッカの周波数が分割する前のフレーム周波数と同一になり、目立たなくなり、高品質の画像を表示できる。

50 【0019】また、この発明の第3の観点に係る液晶表示装置の駆動方法は、対向して配置された第1と第2の

基板と、前記第1の基板の前記第2の基板との対向面にマトリクス状に配置された画素電極と該画素電極に電流路の一端が接続された薄膜トランジスタとの対と、前記第1の基板の前記対向面に配置され、前記マトリクスのM行(Mは2以上の自然数)に1本配置され、それぞれ対応するM行の前記薄膜トランジスタのゲートに接続されたゲートラインと、前記第1の基板の対向面に、前記画素電極のマトリクスの1列にM本ずつ配置され、同一の前記ゲートラインに接続された各列の前記薄膜トランジスタの1つの電流路の他端に接続されたデータラインと、前記画素電極に対向して前記第2の基板の前記第1の基板との対向面に配置された共通電極と、前記第1の基板と前記第2の基板との間に封止された液晶と、を備える液晶表示装置の駆動方法であって、複数の前記ゲートラインに1本ずつ順次ゲートパルスを加えることによりM行の前記薄膜トランジスタを順次オンし、前記データラインとオンした前記薄膜トランジスタを介してM行の前記画素電極に同時に表示画像に対応するデータ信号を加える、ことを特徴とする。

【0020】この駆動方法によれば、各行に配列されたゲートラインをM本同時に選択する駆動方法に比較して、ゲートラインの本数を減らすことができ、開口率の低下を抑えることができる。

【0021】また、この発明の第4の観点に係る液晶表示装置の駆動方法は、対向して配置された第1と第2の基板と、前記第1の基板の前記第2の基板との対向面にマトリクス状に配置された画素電極と該画素電極に電流路の一端が接続された薄膜トランジスタとの対と、前記第1の基板の前記対向面に配置され、前記マトリクスのM行(Mは2以上の自然数)に1本配置され、それぞれ対応するM行の前記薄膜トランジスタのゲートに接続されたゲートラインと、前記第1の基板の対向面に、前記画素電極のマトリクスの1列にM本ずつ配置され、同一の前記ゲートラインに接続された各列の前記薄膜トランジスタの1つの電流路の他端に接続されたデータラインと、前記画素電極に対向して前記第2の基板の前記第1の基板との対向面に配置された共通電極と、前記第1の基板と前記第2の基板との間に封止された液晶と、を備える液晶表示装置の駆動方法であって、前記ゲートラインに接続され、各フィールドにおいて、N(Nは2以上の自然数)本おきに前記ゲートラインを選択し、前記フィールド毎に選択するゲートラインを変化させてNフィールドで全ゲートラインを選択し、前記ゲートドライバにより選択された行の画素の表示画像に対応するデータ信号を、前記データラインとオンした前記薄膜トランジスタを介してM行の前記画素電極に同時に加え、Nフィールドにより1画面を書き込むことを特徴とする。

【0022】この駆動方法によれば、各行に配列されたゲートラインをM本同時に選択する駆動方法に比較して、ゲートラインの本数を減らすことができ、開口率の

低下を抑えることができる。また、隣接する各行の画素に逆極性の信号が加えられるので、極性の差による輝度の差が平均化され、Nが偶数の場合でも、フリッカの周波数の低下を抑えることができ、フリッカが目立たなくなり、高品質の画像を表示できる。

【0023】

【発明の実施の形態】本実施の形態に係る液晶表示装置を図面を参照しつつ説明する。

【0024】(第1の実施の形態) 本実施の形態に係る液晶表示装置は、図1(A)及び図1(B)に示すように、液晶表示パネル1と、ゲートドライバ2と、データドライバ3とから構成される。

【0025】液晶表示パネル1は、図2に断面で示すように、スペーサ20を介して対向して配置される一対の透明基板11及び12を有する。透明基板11、12は、例えば、ガラス基板等から構成されている。

【0026】図2において下側の透明基板(以下、「下基板」と称する)11上には、図1(A)、図2及び図3に示すように、ITO等の透明導電材料から構成された複数の画素電極13と画素電極13にソース(又はドレイン)が接続された複数のTFT14とがマトリクス状に配置されている。

【0027】画素電極13とTFT14とのマトリクスの2行に1本の割合で、ゲートラインGLが配置され、隣接する奇数行と偶数行のTFT14のゲートは、対応するゲートラインGLに接続されている。また、画素電極13とTFT14とのマトリクスの1列に2本の割合で、データラインDLが配置され、同一列の奇数行のTFT14のドレイン(又はソース)は共通のデータラインDLに接続され、同一列の偶数行のTFT14のドレイン(又はソース)は共通のデータラインDLに接続されている。

【0028】各ゲートラインGLは、金属膜、ITO膜等の導電材料からなり、ゲートドライバ2に接続されている。各データラインDLは、金属膜、ITO膜等の導電材料からなり、データドライバ3に接続されている。

【0029】図2において上側の透明基板(以下、「上基板」と称する)12には、下基板11のマトリクス状の画素電極13に対向して、コモン電圧が加えられる共通電極15が形成されている。

【0030】下基板11及び上基板12の電極形成面には、それぞれ配向膜16及び17が設けられている。配向膜16及び17は、例えば、ポリイミド等の有機高分子化合物からなる水平配向膜であり、それらの対向面にはラビング等による配向処理が施されている。

【0031】上下基板11、12及びシール材18で囲まれた領域には液晶19が封入されている。液晶19は、強誘電性液晶(FLC: Ferroelectric Liquid Crystal)又は反強誘電性液晶(AFLC: AntiFerroelectric Liquid Crystal)等の自発分極と強誘電相を有する

スメクティック液晶、或いは、ネマティック液晶等から構成される。

【0032】上下基板11及び12の外側には、液晶19の配向を視覚化する一対の偏光板21及び22が配置されている。

【0033】画像を表示するための各画素は、画素電極13と共通電極15の対向部分とそれらの間に配置された液晶19とより構成される画素容量 C_{LC} と、偏光板21、22とより構成される。

【0034】図1(B)に、画素容量 C_{LC} の配置を示す。図示するように、各画素容量 C_{LC} は、対応するTFT14の電流路を介してデータラインDLに接続され、TFT14のゲートは対応するゲートラインGLに接続されている。

【0035】ゲートドライバ2は、ゲートラインGLに順次ゲート信号（パルス）を印加して、ゲートラインGLを走査する。

【0036】データドライバ3は、各データラインDLに、その時点でゲートドライバ2により選択されている画素に所望の画像（階調）を表示させるためのデータ信号を供給する。なお、図1(A)において、符号 $P_{11} \sim P_{41}$ は、第1行～第4行の第1列の画素の配置（位置）を示し、後述する図8において参照する。

【0037】次に、上記構成のTFT-LCDの動作を図4を参照しつつ説明する。図4は、ゲートドライバ2がゲートラインGLに印加するゲート信号と、データドライバ3が各データラインDLに印加するデータ信号の極性を示す。

【0038】ゲートドライバ2は、各ゲートラインGLに順次ゲート信号を印加する。

【0039】データドライバ3は、少なくとも2走査ライン分の画像データを保持する能力を有し、奇数行の画素用のデータ信号を奇数番目のデータラインDL $2n-1$ に、偶数行の画素用のデータ信号を偶数番目のデータラインDL $2n$ に、互いに逆極性で供給する。

【0040】まず、ゲートドライバ2は、第1番目のゲートラインGL 1 にゲート信号（パルス）を印加し、ゲートラインGL 1 に接続された1行目と2行目のTFT14をオンする。この期間に、データドライバ3は、第1行目と第2行目の画素の表示に対応するデータ信号を各データラインDLに印加する。データドライバ3は、奇数行のTFT14に接続されているデータラインDL $2n-1$ に正極性のデータ信号を印加し、偶数行のTFT14に接続されているデータラインDL $2n$ に負極性のデータ信号を印加する。このため、第1行目と2行目の画素の画素容量 C_{LC} には、それぞれ、正極性と負極性の電圧が印加される。ゲートドライバ2は、ゲートラインGL 1 の選択期間が終わると、ゲート信号をオフする。これにより、第1行及び第2行の各TFT14がオフし、この時点で各画素容量 C_{LC} に印加されていた電圧が次フレ

ームの選択期間まで保持される。この保持電圧に応じて液晶の配向が制御され、任意の階調が表示される。

【0041】次に、ゲートドライバ2は、第2行目のゲートラインGL 2 にゲート信号を印加し、ゲートラインGL 2 に接続された第3行目と第4行目の画素のTFT14がオンする。データドライバ3は、奇数行のTFT14に接続されたデータラインDL $2n-1$ に正極性のデータ信号を印加し、偶数行のTFT14に接続されたデータラインDL $2n$ に負極性のデータ信号を印加する。

【0042】第3のゲートラインGL 3 以降の選択時についても、1行目、2行目のゲートラインと同様の動作が繰り返される。

【0043】全てのゲートラインGLが選択され、1画面分の書き込みが終了すると、第2フレームを開始する。第2フレームでも、ゲートドライバ2は、ゲート信号をゲートラインGLに順次印加し、データドライバ3は、画像データに基づいたデータ信号を各データラインDLに印加する。

【0044】ここで、データドライバ3は、液晶の焼き付き現象を防ぐために、各データラインDLに印加するデータ信号の極性を前のフレームに対して反転させ、奇数行のTFT14に接続されているデータラインDL $2n-1$ に負極性のデータ信号を、偶数行のTFT14に接続されているデータラインDL $2n$ に正極性のデータ信号を印加する。

【0045】第2フレーム以降も、フレーム毎に各画素容量 C_{LC} に印加する電圧の極性をさらに反転させつつ、第1フレーム、第2フレームと同様の動作を繰り返すことにより、液晶表示パネル1に所望の画像を表示する。

【0046】以上説明したように、本実施の形態によれば、1本のゲートラインGLの選択で2列の画素を同時に選択することができる。従って、図12に示す従来の構成に比較して、各画素の選択期間を2倍とし、各画素への書き込みを長時間行うことができる。従って、各画素への書き込み（充電）を完全に行うことができる。また、図13に示す構成に比較して、ゲートラインの本数を半減でき、その分画素電極の面積を大きくして、開口率の低下を抑えることができる。

【0047】（第2の実施の形態）第1の実施の形態においては、各ゲートラインGLを順次選択したが、いわゆるMFD法のように、1フレームを複数のフィールドに分割し、各ゲートラインをとびとびに選択してデータ信号を画素に書き込み、複数のフィールドで1枚の画像を書き込むようにしてもよい。特に、図1～図3に示す構成の液晶表示パネル1を使用することにより、フリッカのために使用できなかった1フレームを偶数のフィールドに分割することが可能となる。以下、このような駆動方法を採用した第2の実施の形態を説明する。

【0048】本実施の形態の液晶表示装置全体の構成を図5に示す。なお、図5において、液晶表示パネル1、

ゲートドライバ2、データドライバ3は、図1及び図2に示す第1の実施の形態の構成と同一である。

【0049】ゲートドライバ2及びデータドライバ3は、LCDコントローラ33に接続されている。LCDコントローラ33は、バスを介してCPU34、RAM35に接続されている。

【0050】RAM35は、例えば、1フレーム分の画像データを記憶する容量を有し、書き込みと読み出しを同時に行うことができるデュアルポートメモリから構成される。

【0051】CPU34は、自己が生成した画像データ又は外部から供給された画像データをRAM35に格納する。LCDコントローラ33は、RAM35に格納された画像データを、2行おきに順次読み出し、データドライバ3に供給する。

【0052】データドライバ3は、2行（1ゲートライン）分の画像データを保持し、該データをデータ信号（アナログ電圧信号）に変換し、データラインDLに印加する。さらに、LCDコントローラ33はゲートドライバ2にゲート切り換え信号を供給する。ゲートドライバ2は、ゲート切り換え信号にตอบสนองしてゲートパルスを切り換え、1本おきにゲートラインGLを順次選択する。

【0053】CPU34とRAM35との間の画像データの書き込みクロックは、LCDコントローラ33とRAM35との間の画像データの読み出しクロックのほぼ2倍である。

【0054】次に、このような構成の液晶表示装置の動作を説明する。まず、CPU34は、図6（A）に示すように、通常の画像データ（表示データ）を順次生成する。なお、 D_{ij} は画像データの第iフレームの第j水平走査線のデータを示す。この画像データは順次RAM35に格納される。

【0055】但し、この際、CPU34は、第1、3、5…フレームの画像データをRAM35に格納し、第2、第4、第6、第8…フレームをRAM35に格納することなく捨てる。これにより、画像データは1/2に間引かれる。

【0056】LCDコントローラ33はRAM35に1フレーム分の画像データが格納されると、図6（B）に示すように、第1のゲートラインGL₁用の画像データ（第1及び第2行分の画像データD₁₁、D₁₂）を読み出し、データドライバ3に供給する。データドライバ3は、LCDコントローラ33から供給された画像データD₁₁、D₁₂をラッチし、D/A変換し、レベル変換を行ってから、データラインDLに平行に印加する。この際、画像データD₁₁から生成されるデータ信号を正極性とし、画像データD₁₂から生成されるデータ信号を負極性とする。データドライバ3は、第1行のTFT14に接続されたデータラインDL_{2n-1}に画像データD₁₁か

ら生成された正極性のデータ信号を印加し、第2行のTFT14に接続されたデータラインDL_{2n}に画像データD₁₂から生成された負極性のデータ信号を印加する。印加時間は、画像データの1水平走査期間の約4倍（第1の実施の形態の各選択期間の2倍）である。

【0057】ゲートドライバ2は、図6（C）に示すように、データドライバ3によるデータ信号D₁₁、D₁₂の出力にほぼ同期して第1行のゲートラインGL₁にゲート信号を印加する。ゲート信号のパルス幅も画像データの1水平走査期間のほぼ4倍である。

【0058】このゲート信号により、第1行及び第2行のTFT14がオンし、対応する第1行及び第2行の画素容量C_{LC}にデータラインDL_{2n-1}とDL_{2n}を介して正極性及び負極性のデータ信号が印加される。選択期間が通常の駆動方法の選択期間（画像データの1水平走査期間とほぼ等しい）の4倍であるため、十分な電荷が画素容量C_{LC}に充電される。ゲート信号がオフすると、この充電電圧が画素容量C_{LC}に次の選択期間まで保持される。

【0059】次に、LCDコントローラ33は、第3、第4行用の画像データをとばして、第5行及び第6行の画素の画像データ（第3のゲートラインGL₃用の画像データ）D₁₅とD₁₆をRAM35から読み出し、データドライバ3に供給する。データドライバ3は、図6（B）に示すように、画像データD₁₅を正極性のデータ信号に変換し、データラインDL_{2n-1}に供給し、画像データD₁₆を負極性のデータ信号に変換し、データラインDL_{2n}に供給する。一方、ゲートドライバ2は、図6（E）に示すように、第2のゲートラインGL₂をとばして、第3のゲートラインGL₃にゲート信号を4水平走査期間印加する。これにより、第3のゲートラインGL₃に接続された第5行及び第6行のTFT14がオンし、第3のゲートラインGL₃の上下に配置された画素の画素容量C_{LC}にそれぞれ画像データD₁₅とD₁₆に従って生成されたそれぞれ正極性と負極性のデータ信号が印加される。

【0060】以後同様に、LCDコントローラ33は、2行おきに、第9行と第10行、第13行と第14行…の画素の画像データD₁₉、D₁₁₀、D₁₁₃、D₁₁₄…をRAM35から読み出し、データドライバ3は供給された画像データD₁₉、D₁₁₃…に対応する正極性のデータ信号に変換してデータラインDL_{2n-1}に印加し、データドライバ3は供給された画像データD₁₁₀、D₁₁₄…に対応する負極性のデータ信号に変換してデータラインDL_{2n}にそれぞれ4水平走査期間だけ印加する。一方、ゲートドライバ2は、各データ信号の出力にほぼ同期して、第5、第7…のゲートラインGL₅、GL₇…に4水平期間のパルス幅を有するゲート信号を順次印加する。このようにして、第1フィールドでは、第1と第2の画素、第5と第6行の画素、第9と第10の画素、…

……に順次データ信号を書き込む。

【0061】第1フィールドの走査が終了し、第2フィールドに入ると、LCDコントローラ33は、RAM35から第3行と第4行の画素の画像データD₁₃とD₁₄を読み出し、データドライバ3に供給する。データドライバ3は画像データD₁₃を正極性のデータ信号に変換してデータラインDL_{2n-1}に印加し、画像データD₁₄を負極性のデータ信号に変換してデータラインDL_{2n}に印加する。ゲートドライバ2は、図6(D)に示すように、第2のゲートラインGL₂にゲートパルス印加し、データ信号D₁₃とデータ信号D₁₄を第3行及び第4行の画素の画素容量C_{LC}に書き込む。次に、第7と第8行の画素にデータ信号D₁₇とD₁₈を書き込み、図6(F)に示すように、第4のゲートラインGL₄にゲートパルス印加し、データ信号D₁₇とデータ信号D₁₈を第7行及び第8行の画素の画素容量C_{LC}に書き込む。以後、同様に、第11と第12行の画素、第15と第16行の画素……にデータ信号D₁₁₁とD₁₁₂、D₁₁₅とD₁₁₆、……を書き込む。

【0062】以上の動作により、画像データの2フレーム分の期間に全てのゲートラインGLが走査され、各行の画素に第1フレーム分の画像データが書き込まれ、1画面の書き込みが終了する。

【0063】この間に、CPU34は、画像データの第3フレームをRAM35の空き領域に記憶させる。

【0064】続いて、LCDコントローラ33は、RAM35に記憶された画像データの第3フレームの第1と第2行の画素の画像データD₃₁とD₃₂を読み出し、データドライバ3に供給する。データドライバ3は、各画素容量C_{LC}に前のフレームとは反対極性のデータ信号を印加するため、画像データD₃₁を負極性のデータ信号に変換してデータラインDL_{2n-1}に4水平走査期間印加し、画像データD₃₂を正極性のデータ信号に変換してデータラインDL_{2n}に4水平走査期間印加する。また、ゲートドライバ2は、第2のゲートラインGL₂に4水平走査期間のパルス幅を有するゲートパルス印加する。

【0065】以後、LCDコントローラ33は、RAM35に記憶された第3フレームの第5と第6、第9と第10……行の画素の画像データD₃₅とD₃₆、D₃₉とD₃₁₀……を順次読み出し、データドライバ3に供給する。データドライバ3は供給された画像データを対応する極性のデータ信号に変換し、データラインDLに印加する。また、ゲートドライバ2は、第3、5……のゲートラインGL₃、GL₅……に順次ゲートパルス印加する。以後は、同様の動作を繰り返す。

【0066】このようにして、画像データの4フレーム期間に、ゲートラインGLがそれぞれ2回ずつ選択され、全ての画素に正極性のデータ信号と負極性のデータ信号がそれぞれ1回ずつ書き込まれる。

【0067】上述の駆動方法を模式的に表すと図7に示

すようになる。即ち、第1フィールドでは、第1、第3……のゲートラインGL₁、GL₃、……が、画像データの1水平走査期間の4倍の期間ずつ、順次選択されて、第1と第2行の画素、第5行と第6行の画素、……に、それぞれデータ信号が書き込まれる。この際、奇数行の画素容量には正極性の電圧が印加され、偶数行の画素容量には負極性の電圧が印加される。

【0068】また、第2フィールドでは、第2、第4……のゲートラインGL₂、GL₄……が順次選択され、第3と第4行の画素、第7行と第8行の画素、……に、それぞれ、データ信号が書き込まれる。このフィールドでも、奇数行の画素容量には正極性の電圧が印加され、偶数行の画素容量には負極性の電圧が印加される。以上の2フィールドで、画像信号の第1フレームに基づく液晶表示パネル1の走査(第1'フレーム)が完了する。

【0069】続いて、画像信号の第3フレームに基づく液晶表示パネル1の走査(第2'フレーム)が開始し、第3フィールドでは、第1、第3……のゲートラインGL₁、GL₃……が選択され、対応する2行の画素の画素容量にデータ信号が書き込まれる。この際、第1'フレームと異なり、奇数行の画素容量に負極性の電圧が印加され、偶数行の画素容量に正極性の電圧が印加される。以降、同様にフレーム毎に各書き込み電圧の極性が反転され、液晶の焼き付きを防止する。

【0070】この駆動方法により、各画素の選択期間は、ゲートラインを1本ずつ順次選択する駆動方法の選択期間の4倍となり、2行の画素を同時に選択する第1の実施の形態の駆動方法の選択期間の2倍になる。従って、液晶容量C_{LC}に十分な電荷を充電することができ、従って、液晶としてFLC、AFLC等の誘電率の高いものを使用した場合でも、各画素容量C_{LC}を十分に充電することができる。

【0071】また、図8(A)は、この駆動方法により駆動された図1(A)に示す液晶表示パネル1の第1列目の第1行目～第4行目の第1列の画素P₁₁～P₄₁に同一の階調を表示させた際の輝度の時間変化を例示し、図8(B)には、隣接する画素P₁₁～P₄₁の輝度を平均した波形を例示する。

【0072】この駆動方法では、1本のゲートラインGLの選択で、2行の画素が選択され、それぞれ、反対極性の電圧が印加される。このため、図8(A)に示すように、同一の階調を表示させた場合でも、印加電圧の極性が異なるので、実際の表示輝度はわずかに差がある。この輝度は、書き込み完了後、漏れ電流等により、除々に変化する。一方、次のフィールドで、隣接する2行の画素の画素容量にそれぞれ反対極性の電圧が書き込まれ、書き込み完了後、漏れ電流等により除々に変化する。これらの輝度変化を平均化すると、図8(B)に示すようになる。図8(B)から明らかなように、平均的

な輝度の変化、即ち、フリッカの周期は、フィールドの周期、即ち、分割前のフレームの周期と同一になり、フリッカは周波数が高く、ほとんど目立たない。

【0073】これに対して、通常の液晶表示パネルをMDF法で駆動し、フレームの分割数を2とした場合、隣接する2つの行の画素の輝度は図9(A)に示すように変化し、その平均的な輝度は図9(B)に示すように変化する。図9(B)の輝度変化のピーク又はボトムは一定ではなく、変化しており、輝度変化の周期(エンベロープの周期で表される)は、元のフレーム周期の4倍になっている。従って、フリッカの周波数は元のフレーム周波数の1/4であり、フリッカが非常に目立つ。

【0074】このように、この実施の形態の駆動方法は、フリッカの周波数を低下させて、フリッカを目立たせることなく、各表示フレームを偶数フィールドに分割して書き込み及び表示を行うことができる。

【0075】なお、図6及び図7においては、フィールド単位で画素容量に印加する電圧の極性を変更したが(フィールド反転)、図10に示すようにライン毎に極性を反転させることも可能である。この場合、各フィールド内で、順番に選択される行毎に印加電圧の極性を変化させて、さらに、フレーム毎に各画素容量に印加する電圧の極性を反転させる。

【0076】また、図11に示すように、画素の列毎に印加電圧の極性を反転させて、さらに、フレーム毎に各画素の液晶に印加する電圧の極性を反転させることも可能である。

【0077】また、上記説明では、奇数フレームの画像データをRAM35に取り込み、これを液晶表示パネル1の1フレーム(2フィールド)で使用したが、例えば、奇数フレームの画像データのうちの第1、2、5、6、...行の画素の画像データを、液晶表示パネル1の各フレームの第1フィールドで使用し、偶数フレームの画像データのうちの第3、4、7、8、...行の画素の画像データを液晶表示パネル1の各フレームの第2フィールドで使用する等してもよい。

【0078】さらに、第2の実施の形態では、1フレームを2フィールドに分割して駆動する例を示したが、1フレームを、3又は4フィールド以上に分割して駆動してもよい。即ち、Nフィールド(Nは2以上の自然数)に分割することが可能である。

【0079】また、上記第1の実施の形態と第2の実施の形態は、様々な変形や応用例が可能である。例えば、TFTを液晶表示パネルのアクティブ素子として用いたが、MIM等の非線形2端子素子をアクティブ素子として使用する液晶表示パネル等にもこの発明を適用することができる。

【0080】

【発明の効果】以上説明したように、本発明の液晶表示装置及び液晶表示装置の駆動方法によれば、十分な書き

込み時間を確保し、各画素容量に十分に書き込みを行うことができる。また、液晶表示パネルの開口率の低下を抑えることができる。

【0081】また、1画面を偶数個のフィールドに分割して走査表示してもフリッカが目立たないため、分割数による制限がなくなり、周辺回路を含めた液晶表示パネルの設計の自由度を増すことができる。

【図面の簡単な説明】

【図1】この発明の実施の形態に係る液晶表示装置の構造を説明するための図である。

【図2】図1に示す液晶表示装置の断面構造を説明するための図である。

【図3】この発明の実施の形態に係る液晶表示装置の画素電極、TFT、データライン、ゲートラインの配置を説明するための図である。

【図4】この発明の実施の形態に係る液晶表示装置の動作を説明するためのタイミングチャートである。

【図5】この発明の第2の実施の形態に係る液晶表示装置の構造を説明するための図である。

【図6】この発明の第2の実施の形態に係る液晶表示装置の動作を説明するためのタイミングチャートである。

【図7】液晶に印加する電圧の極性を説明するための図である。

【図8】この発明の第2の実施の形態に係る画素の輝度の時間変化とフリッカの関係を説明するための図である。

【図9】通常の液晶表示パネルの1フレームを2つのフィールドに分割して駆動した場合の輝度の時間変化とフリッカの関係を説明するための図である。

【図10】液晶に印加する電圧の極性の他の例を説明するための図である。

【図11】液晶に印加する電圧の極性の他の例を説明するための図である。

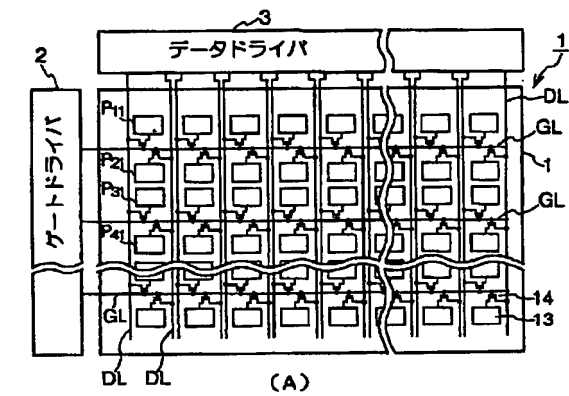
【図12】従来の液晶表示装置の画素電極、TFT、データライン、ゲートラインの配置を説明するための図である。

【図13】従来の液晶表示装置の画素電極、TFT、データライン、ゲートラインの配置を説明するための図である。

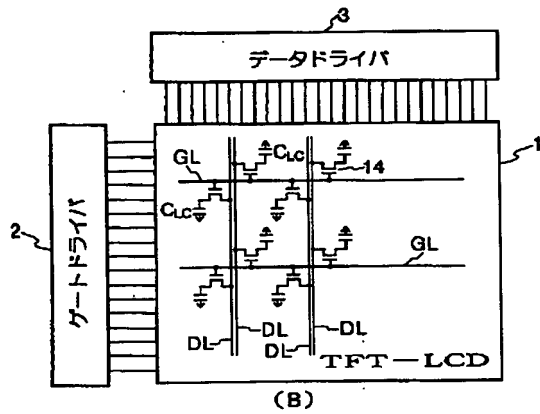
【符号の説明】

1・・・液晶表示パネル、2・・・ゲートドライバ、3・・・データドライバ、11・・・下基板、12・・・上基板、13・・・画素電極、14・・・TFT、15・・・共通電極、16・・・配向膜、17・・・配向膜、18・・・シール材、19・・・液晶、20・・・スペーサ、21・・・偏光板、22・・・偏光板、33・・・LCDコントローラ、34・・・CPU、35・・・RAM、GL・・・ゲートライン、DL・・・データライン

【図1】

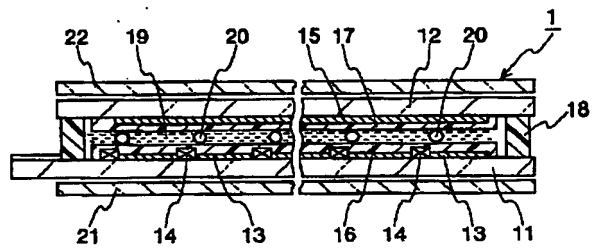


(A)

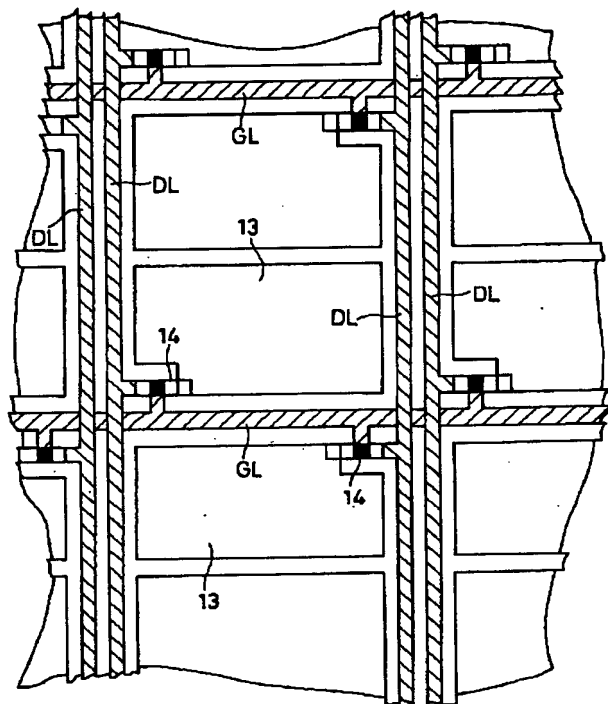


(B)

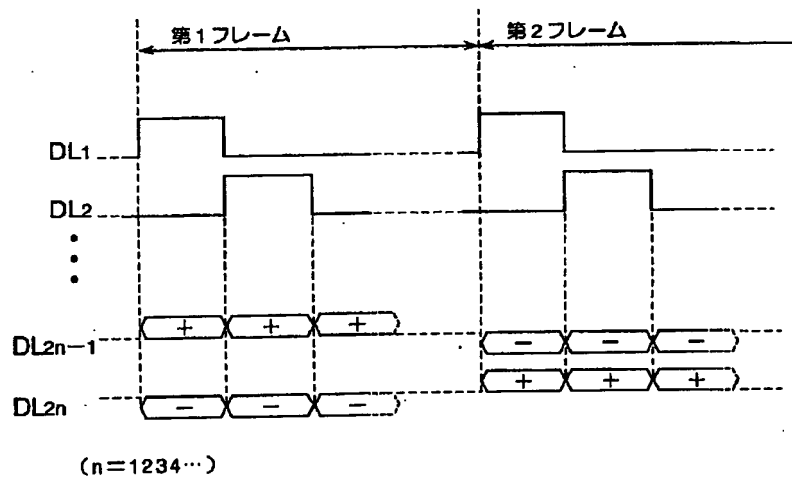
【図2】



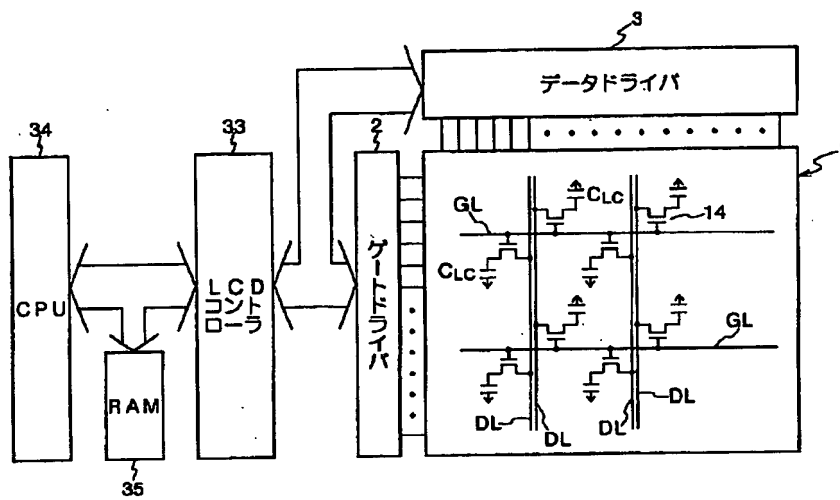
【図3】



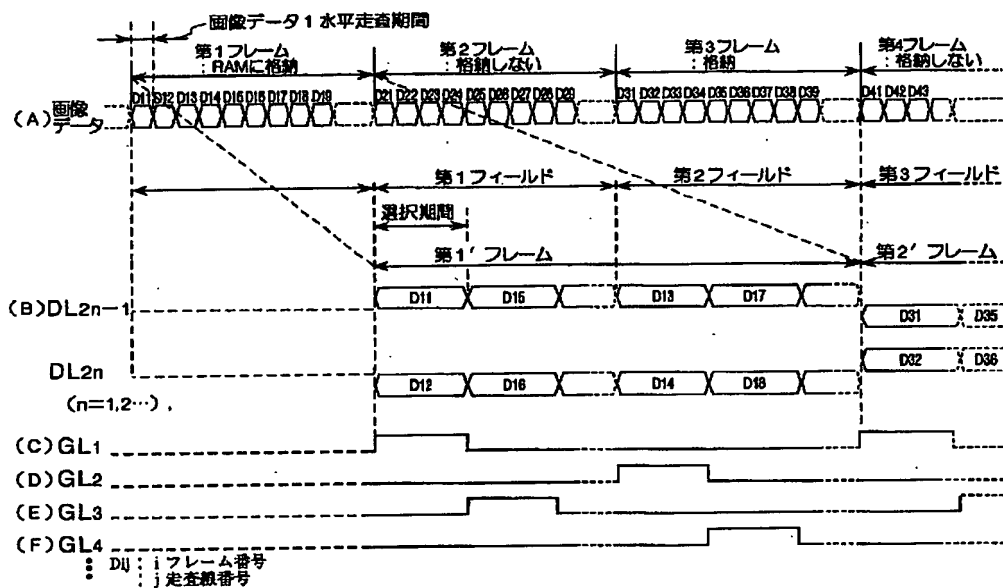
【図4】



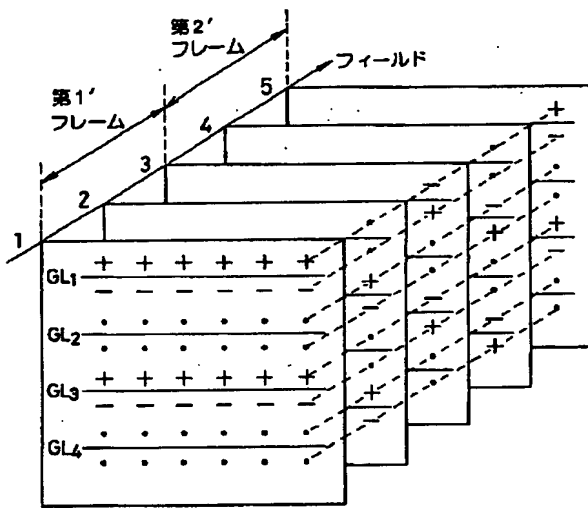
【図5】



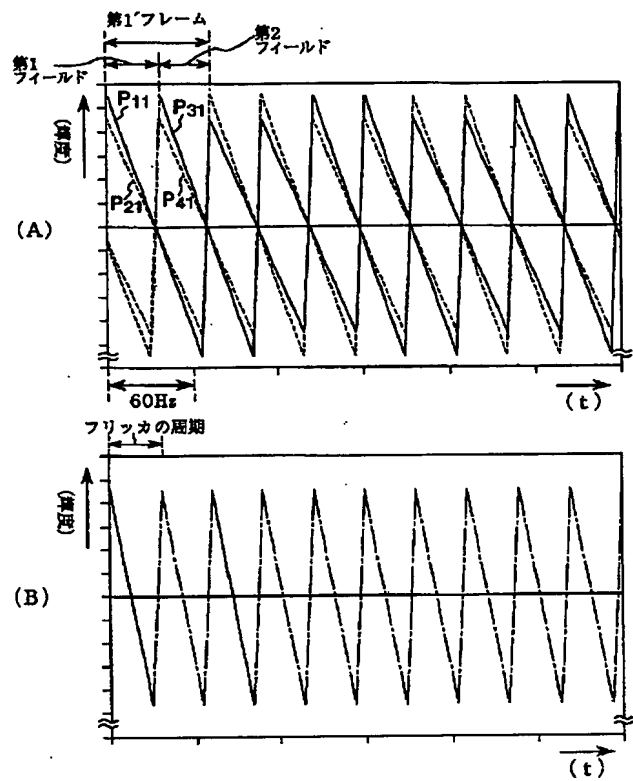
【図6】



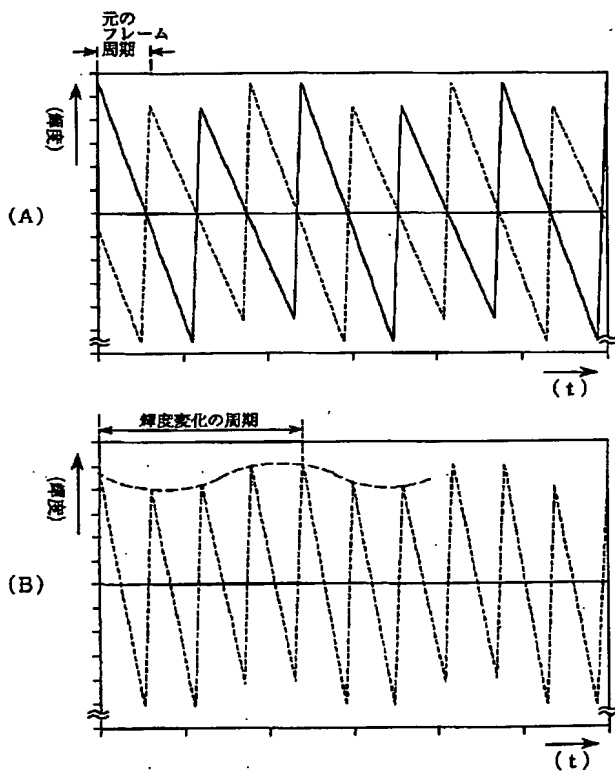
【図7】



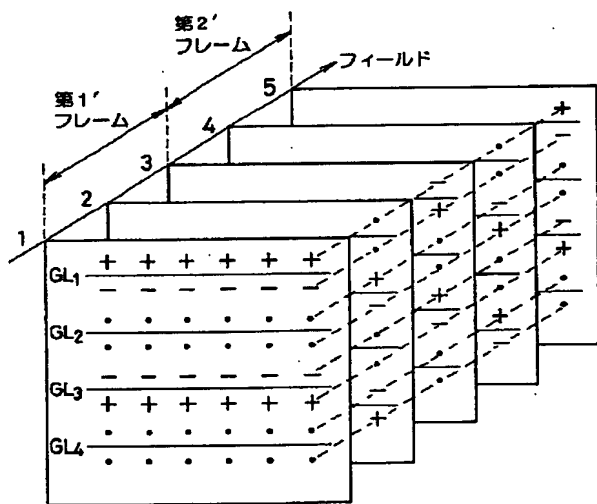
【図8】



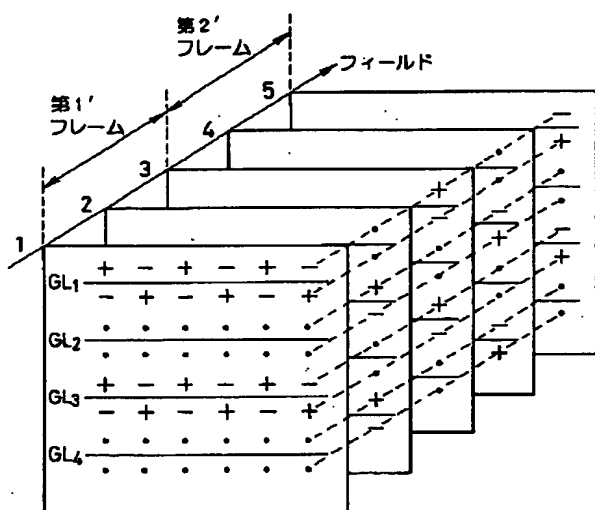
【図9】



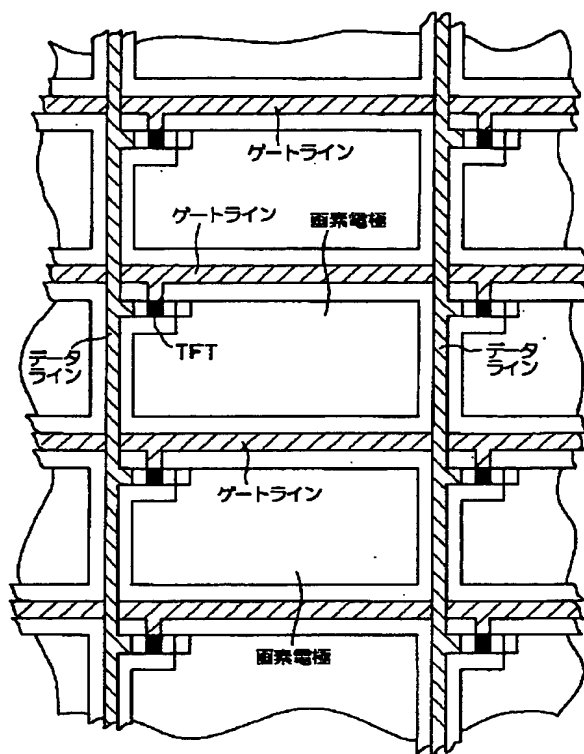
【図10】



【図11】



【図12】



【図13】

